

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 7月15日
Date of Application:

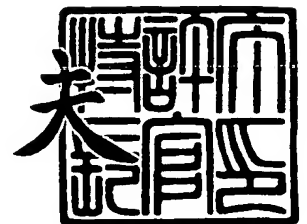
出願番号 特願2003-197005
Application Number:
[ST. 10/C]: [JP 2003-197005]

出願人 パイオニア株式会社
Applicant(s):

2003年 9月11日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 58P0230

【提出日】 平成15年 7月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 17/49

【発明の名称】 表示パネルの駆動装置

【発明者】

 【住所又は居所】 山梨県中巨摩郡田富町西花輪2680番地 パイオニア
 株式会社内

 【氏名】 井手 茂生

【発明者】

 【住所又は居所】 山梨県中巨摩郡田富町西花輪2680番地 パイオニア
 株式会社内

 【氏名】 中村 英人

【発明者】

 【住所又は居所】 山梨県中巨摩郡田富町西花輪2680番地 パイオニア
 株式会社内

 【氏名】 佐藤 吉親

【発明者】

 【住所又は居所】 山梨県中巨摩郡田富町西花輪2680番地 パイオニア
 株式会社内

 【氏名】 坂田 一朗

【発明者】

 【住所又は居所】 山梨県中巨摩郡田富町西花輪2680番地 パイオニア
 株式会社内

 【氏名】 徳永 勉

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2680 番地 パイオニア
株式会社内

【氏名】 田中 秀樹

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【先の出願に基づく優先権主張】

【出願番号】 特願2002-310140

【出願日】 平成14年10月24日

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示パネルの駆動装置

【特許請求の範囲】

【請求項 1】 複数の行電極と、前記行電極に交差して配列された複数の列電極と、前記行電極及び前記列電極の各交差部に配置された容量性発光素子と、を有する表示パネルを駆動する駆動装置であって、

第 1 電圧を発生する第 1 電源を備え前記第 1 電圧に基づいて前記容量性発光素子各々を点灯状態及び消灯状態のいずれか一方に設定させるべき走査パルスが発生して前記行電極に印加するスキन्दライバと、

第 2 電圧を発生する第 2 電源を備え前記第 2 電圧に基づいて前記点灯状態に設定された前記容量性発光素子を発光させるべき維持パルスが発生して前記行電極に印加するサステインドライバと、

前記第 1 電源にて発生した前記第 1 電圧と前記第 2 電源にて発生した前記第 2 電圧とを加算した電圧に基づいて前記容量性発光素子の状態を初期化すべきリセットパルスが発生して前記行電極に印加するリセットドライバと、を有することを特徴とする表示パネルの駆動装置。

【請求項 2】 前記リセットドライバは、前記第 2 電源の正端子と前記第 1 電源の負端子とを第 1 抵抗を介して接続する第 1 スイッチング手段と、前記第 1 電源の負端子を第 2 抵抗を介して接地せしめる第 2 スイッチング手段と、を含み、前記スキन्दライバは、前記第 1 電源の正端子と前記行電極とを接続する第 3 スイッチング手段と、前記第 1 電源の負端子と前記行電極とを接続する第 4 スイッチング手段とを含むことを特徴とする請求項 1 記載の表示パネルの駆動装置。

【請求項 3】 コンデンサ及び第 3 抵抗からなる直列回路が前記第 1 抵抗に並列に接続されており、

前記第 1 抵抗は前記第 3 抵抗よりも高抵抗であることを特徴とする請求項 2 記載の表示パネルの駆動装置。

【請求項 4】 前記第 1 スイッチング手段及び前記第 4 スイッチング手段を共にオン状態に設定してから所定期間経過後に前記第 3 スイッチング手段をオン

状態に設定すると共に前記第4スイッチング手段をオフ状態に切り換えることにより、電圧の立ち上がりが緩やかな波形を有するリセットパルスを生成してこれを前記行電極に印加することを特徴とする請求項2又は3記載の表示パネルの駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、容量性発光素子がマトリクス状に配列されている表示パネルの駆動装置に関する。

【0002】

【従来の技術】

現在、上記の如き表示パネルとしてプラズマディスプレイパネルを搭載した表示装置が製品化されている(例えば、特許文献1参照)。

図1は、かかる表示装置の概略構成を示す図である。

図1において、プラズマディスプレイパネルとしてのPDP1には、X及びYの1対にて1画面の各行(第1行～第n行)に対応した行電極対を為す行電極Y1～Yn及び行電極X1～Xnが形成されている。更に、これら行電極対に直交し、かつ図示せぬ誘電体層及び放電空間を挟んで、1画面の各列(第1列～第m列)に対応した列電極を為す列電極D1～Dmが形成されている。この際、1組の行電極対と1つの列電極との交叉部に、容量性発光素子としての放電セルが形成される。アドレスドライバ2は、映像信号に基づく各画素毎の画素データをもとに、その論理レベルに応じた電圧値を有する画素データパルスに変換し、これを1行分毎に、上記列電極D1～Dmに印加する。X行電極ドライバ3は、各放電セルの残留壁電荷量を初期化する為のリセットパルス、後述するが如き発光放電セルの放電発光状態を維持させる為の維持放電パルスを発生し、これらを上記行電極X1～Xnに印加する。Y行電極ドライバ4は、上記X行電極ドライバ3と同様に、各放電セルの残留壁電荷量を初期化する為のリセットパルス、発光放電セルの放電発光状態を維持させる為の維持放電パルスを発生し、これらを上記行電極Y1～Ynに印加する。更に、Y行電極ドライバ4は、放電セル内に発生した荷電粒子を再形

成させる為のプライミングパルス、並びに各放電セルに対し画素データパルスに応じた電荷量を形成せしめて上記発光放電セル又は非発光放電セルの設定を行う為の走査パルスSPを発生し、これらを行電極Y1~Ynに印加する。

【0003】

図2は、X行電極ドライバ3及びY行電極ドライバ4の内部構成を表す図である。尚、図2において、電極Xjは電極X1~Xnのうちの第j行の電極であり、電極Yjは電極Y1~Ynのうちの第j行の電極を示している。

X行電極ドライバ3には、2つの電源B1、B2が備えられている。電源B1は電圧Vsl（例えば、170V）を出力し、電源B2は電圧Vrl（例えば、190V）を出力する。電源B1の正端子はスイッチング素子S3を介して電極Xjへの接続ライン11に接続され、負端子はアース接続されている。接続ライン11とアースとの間にはスイッチング素子S4が接続されている他、スイッチング素子S1、ダイオードD1及びコイルL1からなる直列回路と、コイルL2、ダイオードD2及びスイッチング素子S2からなる直列回路とがコンデンサC1を共通にアース側に介して接続されている。なお、ダイオードD1はコンデンサC1側をアノードとしており、ダイオードD2はコンデンサC1側をカソードとして接続されている。また、電源B2の正端子はスイッチング素子S8及び抵抗R1を介して接続ライン11に接続され、電源B2の負端子はアース接続されている。Y行電極ドライバ4には、4つの電源B3~B6が備えられている。電源B3は電圧Vsl（例えば、170V）を出力し、電源B4は電圧Vrl（例えば、190V）を出力し、電源B5は電圧Voff（例えば、140V）を出力し、電源B6は電圧Vh（例えば、160V、Vh>Voff）を出力する。電源B3の正端子はスイッチング素子S13を介してスイッチング素子S15への接続ライン12に接続され、負端子はアース接続されている。接続ライン12とアースとの間にはスイッチング素子S14が接続されている他、スイッチング素子S11、ダイオードD3及びコイルL4からなる直列回路と、コイルL4、ダイオードD4及びスイッチング素子S12からなる直列回路とがコンデンサC2を共通にアース側に介して接続されている。なお、ダイオードD3はコンデンサC2側をアノードとしており、ダイオードD4はコンデンサC2側をカソードとして接続され

ている。接続ライン12はスイッチング素子S15を介して電源B6の正端子への接続ライン13に接続されている。電源B4の正端子はアース接続され、負端子はスイッチング素子S16、そして抵抗R2を介して接続ライン13に接続されている。電源B5の正端子はスイッチング素子S17を介して接続ライン13に接続され、負端子はアース接続されている。接続ライン13はスイッチング素子S21を介して電極Yjへの接続ライン14に接続されている。電源B6の負端子はスイッチング素子S22を介して接続ライン14に接続されている。接続ライン13、14との間にはダイオードD5が接続され、またスイッチング素子S23とダイオードD6との直列回路が接続されている。ダイオードD5は接続ライン14側をアノードとし、ダイオードD6は接続ライン14側をカソードとして接続されている。

【0004】

ここで、上記スイッチング素子S1～S4、S8、S11～S17及びS21～S23のオン／オフ切り換えは、図示しない制御回路によって制御される。

尚、Y行電極ドライバ4内では、電源B3、スイッチング素子S11～S15、コイルL3、L4、ダイオードD3、D4及びコンデンサC2がサステインドライバ部を構成している。又、電源B4、抵抗R2及びスイッチング素子S16がリセットドライバ部を構成し、残りの電源B5、B6、スイッチング素子S13、S17、S21、S22及びダイオードD5、D6がスキャンドライバ部を構成している。

【0005】

次に、かかる構成による動作について図3のタイミングチャートを参照しつつ説明する。

図3に示すように、PDP1の駆動は、リセット期間、アドレス期間及びサステイン期間によって区分けして行われる。

まず、リセット期間では、Y行電極ドライバ4のスイッチング素子S23がオンとなる。スイッチング素子S23はリセット期間及びサステイン期間においてオンとなる。また、同時にX行電極ドライバ3のスイッチング素子S8がオンとなり、Y行電極ドライバ4のスイッチング素子S16がオンとなる。その他のス

イッチング素子はオフである。スイッチング素子S 8のオンにより電源B 2の正端子からスイッチング素子S 8、抵抗R 1を介して電極X_jに電流が流れ、またスイッチング素子S 16のオンにより電極Y_jからダイオードD 5、抵抗R 2、スイッチング素子S 16を介して電源B 4の負端子に電流が流れ込む。この際、PDP 1の負荷容量C 0と抵抗R 1との時定数により電極X_j上の電位が徐々に上昇し、図3に示す如きリセットパルスR P_xが生成される。一方、電極Y_jの電位は負荷容量C 0と抵抗R 2との時定数により徐々に低下し、図3に示す如きリセットパルスR P_yが生成される。リセットパルスR P_xは電極X₁～X_nの全てに同時に印加され、リセットパルスR P_yは電極Y₁～Y_n全てに同時に印加される。これらリセットパルスR P_x及びR P_yの同時印加により、PDP 1の全ての放電セル内においてリセット放電が生起され、この放電終息後、全放電セルの誘電体層には一様に所定量の壁電荷が形成される。スイッチング素子S 8及びスイッチング素子S 16はリセットパルスR P_x及びR P_yのレベルが飽和した後、リセット期間終了以前にオフとなる。また、この時点にスイッチング素子S 4、S 14及びS 15がオンとなり、電極X_j及びY_jは共にアースされる。これによりリセットパルスR P_x及びR P_yは消滅する。

【0006】

次に、アドレス期間では、スイッチング素子S 14及びS 15がオフとなり、スイッチング素子S 23がオフとなり、スイッチング素子S 17がオンとなり、同時にスイッチング素子S 22がオンとなる。スイッチング素子S 17のオンにより電源B 5と電源B 6とが直列に接続された状態となり、電源B 6の負端子には電圧V_hとV_{off}との差を示す負電位が生じ、それが電極Y_jに印加される。更に、このアドレス期間においてアドレスドライバ2は映像信号に基づく各画素毎の画素データを、その論理レベルに応じた電圧値を有する画素データパルスDP 1～DP_nに変換し、これを1行分毎に、上記列電極D₁～D_mに順次印加する。図3に示すように電極Y_j、Y_{j+1}に対しては画素データパルスDP_j、DP_{j+1}が印加される。この間、Y行電極ドライバ4は、正電圧のプライミングパルスPPを行電極Y₁～Y_nに順次印加しつつ、各プライミングパルスPPの印加直後でありかつ上記画素データパルス群DP 1～DP_n各々のタイミングに同期させて負電圧

の走査パルス S_P を行電極 $Y_1 \sim Y_n$ に順次印加して行く。電極 Y_j について説明すると、プライミングパルス P_P を生成する際には、スイッチング素子 S_{21} がオンとなり、スイッチング素子 S_{22} がオフとなる。また、スイッチング素子 S_{17} はオンのままである。これにより電源 B_5 の正端子の電位 V_{off} がスイッチング素子 S_{17} 、そしてスイッチング素子 S_{21} を介して電極 Y_j にプライミングパルス P_P として印加される。プライミングパルス P_P の印加後、アドレスドライバ 2 からの画素データパルス D_{Pj} の印加に同期してスイッチング素子 S_{21} がオフとなり、スイッチング素子 S_{22} がオンとなる。これにより電源 B_6 の負端子の電圧 V_h と V_{off} との差を示す負電位が電極 Y_j に走査パルス S_P として印加される。そして、アドレスドライバ 2 からの画素データパルス D_{Pj} の印加の停止に同期してスイッチング素子 S_{21} がオンとなり、スイッチング素子 S_{22} がオフとなり、電源 B_5 の正端子の電位 V_{off} がスイッチング素子 S_{17} 、そしてスイッチング素子 S_{21} を介して電極 Y_j に印加される。その後、電極 Y_{j+1} についても図 3 に示すように、電極 Y_j と同様にプライミングパルス P_P が印加され、アドレスドライバ 2 からの画素データパルス D_{Pj+1} の印加に同期して走査パルス S_P が印加される。走査パルス S_P が印加された行電極に属する放電セルの内では、正電圧の画素データパルスが更に同時に印加された放電セルにおいて放電が生じ、その壁電荷の大半が失われる。一方、走査パルス S_P が印加されたものの正電圧の画素データパルスが印加されなかった放電セルでは放電が生じないので、上記壁電荷が残留したままとなる。この際、壁電荷が残留したままとなった放電セルは発光放電セル、壁電荷が消滅してしまった放電セルは非発光放電セルとなる。アドレス期間からサステイン期間に切り替わる時には、スイッチング素子 S_{17} 、 S_{21} はオフとなり、代わってスイッチング素子 S_{14} 及び S_{15} がオンとなる。スイッチング素子 S_4 のオン状態は継続される。

【0007】

次に、サステイン期間では、X 行電極ドライバ 3 のスイッチング素子 S_4 がオン状態となることにより電極 X_j の電位はほぼ 0 V のアース電位となる。次に、スイッチング素子 S_4 がオフとなり、スイッチング素子 S_1 がオンになると、コンデンサ C_1 に蓄えられている電荷によりコイル L_1 、ダイオード D_1 、そして

スイッチング素子 S_1 を介して電流が電極 X_j に達して PDP 1 の負荷容量 C_0 を充電させる。このとき、コイル L_1 及び負荷容量 C_0 の時定数により電極 X_j の電位は図 3 に示すように徐々に上昇する。次いで、スイッチング素子 S_1 がオフとなり、スイッチング素子 S_3 がオンとなる。これにより、電極 X_j には電源 B_1 の正端子の電位 V_{S1} が印加される。その後、スイッチング素子 S_3 がオフとなり、スイッチング素子 S_2 がオンとなり、負荷容量 C_0 に蓄積された電荷により電極 X_j からコイル L_2 、ダイオード D_2 、そしてスイッチング素子 S_2 を介してコンデンサ C_1 に電流が流れ込む。このとき、コイル L_2 及びコンデンサ C_1 の時定数により電極 X_j の電位は図 3 に示すように徐々に低下する。電極 X_j の電位がほぼ 0 V に達すると、スイッチング素子 S_2 がオフとなり、スイッチング素子 S_4 がオンとなる。かかる動作によって X 行電極ドライバ 3 は図 3 に示した如き正電圧の維持放電パルス I_{Px} を電極 X_j に印加する。維持放電パルス I_{Px} が消滅するスイッチング素子 S_4 のオン時に同時に、 Y 行電極ドライバ 4 ではスイッチング素子 S_{11} がオンとなり、スイッチング素子 S_{14} がオフとなる。スイッチング素子 S_{14} がオンであったときには電極 Y_j の電位はほぼ 0 V のアース電位となっているが、スイッチング素子 S_{14} がオフとなり、スイッチング素子 S_{11} がオンになると、コンデンサ C_2 に蓄えられている電荷によりコイル L_3 、ダイオード D_3 、スイッチング素子 S_{11} 、スイッチング素子 S_{15} 、スイッチング素子 S_{13} 、そしてダイオード D_6 を介して電流が電極 Y_j に達して PDP 1 の負荷容量 C_0 を充電させる。このとき、コイル L_3 及び負荷容量 C_0 の時定数により電極 Y_j の電位は図 3 に示すように徐々に上昇する。次いで、スイッチング素子 S_{11} がオフとなり、スイッチング素子 S_{13} がオンとなる。これにより、電極 Y_j には電源 B_3 の正端子の電位 V_{S1} が印加される。その後、スイッチング素子 S_{13} がオフとなり、スイッチング素子 S_{12} がオンとなり、負荷容量 C_0 に蓄積された電荷により電極 Y_j からダイオード D_5 、スイッチング素子 S_{15} 、コイル L_4 、ダイオード D_4 、そしてスイッチング素子 S_{12} を介してコンデンサ C_2 に電流が流れ込む。このとき、コイル L_4 及びコンデンサ C_2 の時定数により電極 Y_j の電位は図 3 に示すように徐々に低下する。電極 Y_j の電位がほぼ 0 V に達すると、スイッチング素子 S_{12} がオフとなり、スイッチング

素子 S14 がオンとなる。かかる動作によって Y 行電極ドライバ 4 は図 3 に示した如き正電圧の維持放電パルス I_{Py} を電極 Y_j に印加する。

【0008】

このように、サステイン期間においては、維持放電パルス I_{Px} と維持放電パルス I_{Py} とが交互に生成して電極 $X1 \sim Xn$ と電極 $Y1 \sim Yn$ とに交互に印加されるので、上記壁電荷が残留したままとなっている発光放電セルは放電発光を繰り返しその発光状態を維持する。

ところで、リセット期間において全放電セル内の壁電荷量を一斉に初期化すべく生起させるリセット放電は比較的強い放電にする必要が有るため、図 3 に示す如く、リセットパルス R_{Py} のパルス電圧 ($-V_{r1}$) は維持放電パルス I_{Py} のパルス電圧よりも高くしてある。それ故に、Y 行電極ドライバ 4 内には、維持放電パルス I_{Py} を発生させる為の電源 B3 (電圧 V_{s1}) よりも高電圧を発生する電源 B4 (電圧 V_{r1}) が設けられており、回路規模が大になるという問題を抱えていた。又、上記電源 B3 及び電源 B4 の電圧値が互いに異なり、かつ電源 B3 及び電源 B4 間に設けられているスイッチング素子 S13、S15 及び S16 が半導体スイッチであることから、電源 B3 及び電源 B4 間に逆電流が流れる可能性があった。

【0009】

【特許文献 1】

特開 2000-155557 号公報

【0010】

【発明が解決しようとする課題】

本発明は、かかる問題を解決すべく為されたものであり、回路規模を小にすることが可能な表示パネルの駆動装置を提供することを目的とするものである。

【0011】

【課題を解決するための手段】

請求項 1 記載による表示パネルの駆動装置は、複数の行電極と、前記行電極に交差して配列された複数の列電極と、前記行電極及び前記列電極の各交差部に配置された容量性発光素子と、を有する表示パネルを駆動する駆動装置であって、

第1電圧を発生する第1電源を備え前記第1電圧に基づいて前記容量性発光素子各々を点灯状態及び消灯状態のいずれか一方に設定させるべき走査パルスが発生して前記行電極に印加するスキンドライバと、第2電圧を発生する第2電源を備え前記第2電圧に基づいて前記点灯状態に設定された前記容量性発光素子を発光させるべき維持パルスが発生して前記行電極に印加するサスティンドライバと、前記第1電源にて発生した前記第1電圧と前記第2電源にて発生した前記第2電圧とを加算した電圧に基づいて前記容量性発光素子の状態を初期化すべきリセットパルスが発生して前記行電極に印加するリセットドライバと、を有する。

【0012】

【発明の実施の形態】

以下、本発明の実施例を図面を参照しつつ詳細に説明する。

図4は、表示パネルとしてPDPを搭載したプラズマディスプレイ装置の概略構成を示す図である。

図4において、プラズマディスプレイパネルとしてのPDP10は、X及びYの1対にて1画面の各表示ライン(第1表示ライン～第n表示ライン)に対応した行電極対を為す行電極 $Y_1 \sim Y_n$ 及び $X_1 \sim X_n$ を備えている。更に、PDP10には、上記行電極対に直交し、かつ図示せぬ誘電体層及び放電空間を挟んで1画面の各列(第1列～第m列)に対応した列電極 $D_1 \sim D_m$ が形成されている。尚、1対の行電極対(X、Y)と1つの列電極Dとの交差部に、容量性発光素子としての放電セルが形成される。

【0013】

駆動制御回路50は、入力された映像信号を各画素毎の画素データに変換し、この画素データを各ビット桁毎に分割して画素データビットを得る。そして、駆動制御回路50は、同一ビット桁同士にて各表示ライン分(m個)ずつ画素データビットをアドレスドライバ20に供給する。更に、駆動制御回路50は、図5に示す如きサブフィールド法に基づく発光駆動フォーマットに従ってPDP10を駆動させるべく、各種スイッチング信号SW(後述する)をX行電極ドライバ30及びY行電極ドライバ40の各々に供給する。尚、サブフィールド法では、映像信号における各フィールドを図5に示す如きN個のサブフィールドSF1～SF

(N)に分割し、サブフィールド毎に各画素に対する発光制御を実行することにより、中間輝度を表現するものである。

【0014】

図6は、X行電極ドライバ30及びY行電極ドライバ40各々の内部構成を示す図である。

図6に示す如く、X行電極ドライバ30におけるコンデンサC1は、その一端がPDP10の接地電位としてのPDP接地電位に接地されている。スイッチング素子S1は、上記駆動制御回路50から論理レベル0のスイッチング信号SW1が供給されている間はオフ状態にある。一方、かかるスイッチング信号SW1の論理レベルが1である場合にはオン状態となって、上記コンデンサC1の他端に生じた電位をコイルL1及びダイオードD1を介してPDP10の行電極Xに印加する。スイッチング素子S2は、上記駆動制御回路50から論理レベル0のスイッチング信号SW2が供給されている間はオフ状態である一方、かかるスイッチング信号SW2の論理レベルが1である場合にはオン状態となって行電極X上の電位をコイルL2及びダイオードD2を介して上記コンデンサC1の他端に印加する。この際、コンデンサC1は、この行電極X上の電位によって充電される。スイッチング素子S3は、上記駆動制御回路50から論理レベル0のスイッチング信号SW3が供給されている間はオフ状態である一方、かかるスイッチング信号SW3が論理レベル1である場合にはオン状態となって電源B1が発生した電圧Vsを行電極Xに印加する。尚、電圧Vsは、後述する維持放電パルス IP_x のパルス電圧である。つまり、電源B1は、維持放電パルス IP_x のパルス電圧値として電圧Vsを発生する電源なのである。スイッチング素子S4は、上記駆動制御回路50から論理レベル0のスイッチング信号SW4が供給されている間はオフ状態である一方、かかるスイッチング信号SW4が論理レベル1である場合にはオン状態となって行電極Xの電位をPDP接地電位にする。

【0015】

Y行電極ドライバ40は、図6に示す如くサスティンドライバ部SUD、リセットドライバ部RSD及びスキヤンドライバ部SCDからなる。

サスティンドライバ部SUDにおけるコンデンサC2は、その一端がPDP1

0の接地電位としてのPDP接地電位に接地されている。スイッチング素子S11は、上記駆動制御回路50から論理レベル0のスイッチング信号SW11が供給されている間はオフ状態にある。一方、スイッチング信号SW11の論理レベルが1である場合にはオン状態となって、上記コンデンサC2の他端に生じた電位をコイルL3及びダイオードD3を介して接続ライン12上に印加する。スイッチング素子S12は、上記駆動制御回路50から論理レベル0のスイッチング信号SW12が供給されている間はオフ状態である一方、スイッチング信号SW12の論理レベルが1である場合にはオン状態となって接続ライン12上の電位をコイルL4及びダイオードD4を介して上記コンデンサC2の他端に印加する。この際、コンデンサC2は、この接続ライン12上の電位によって充電される。スイッチング素子S13は、上記駆動制御回路50から論理レベル0のスイッチング信号SW13が供給されている間はオフ状態である一方、スイッチング信号SW13が論理レベル1である場合にはオン状態となって電源B3が発生した電圧 V_s を接続ライン12上に印加する。尚、電圧 V_s は、後述する維持放電パルス IP_y のパルス電圧値となる電圧である。つまり、電源B1は、維持放電パルス IP_y のパルス電圧値として電圧 V_s を発生する電源なのである。スイッチング素子S14は、上記駆動制御回路50から論理レベル0のスイッチング信号SW14が供給されている間はオフ状態である一方、スイッチング信号SW14が論理レベル1である場合にはオン状態となって接続ライン12上の電位をPDP接地電位にする。スイッチング素子S15は、駆動制御回路50から供給されたスイッチング信号SW15が論理レベル1である期間中に限りオン状態となって、上記接続ライン12と後述する接続ライン13とを接続する。

【0016】

リセットドライバ部RSDにおけるスイッチング素子S17は、上記駆動制御回路50から論理レベル0のスイッチング信号SW17が供給されている間はオフ状態にある。一方、スイッチング信号SW17が論理レベル1である場合にはスイッチング素子S17はオン状態となり、上記電源B3の正端子と接続ライン13とを抵抗R1を介して接続する。すなわち、スイッチング素子S17は、スイッチング信号SW17に応じて、上記電源B3が発生した電圧 V_s を抵抗R1

を介して接続ライン 13 上に印加するのである。スイッチング素子 S 18 は、上記駆動制御回路 50 から論理レベル 0 のスイッチング信号 SW 18 が供給されている間はオフ状態にある。一方、スイッチング信号 SW 18 が論理レベル 1 である場合にはスイッチング素子 S 18 はオン状態となり、接続ライン 13 を抵抗 R 2 及びダイオード D 7 を介して接地する。

【0017】

スキャンドライバ部 SCD におけるスイッチング素子 S 19 及び S 20 は、上記駆動制御回路 50 から論理レベル 0 のスイッチング信号 SW 19 及び SW 20 が供給されている間はオフ状態にある。一方、スイッチング信号 SW 19 及び SW 20 が共に論理レベル 1 である場合には共にオン状態となり、電源 B 5 が発生した負の電圧 ($-V_{\text{off}}$) を抵抗 R 3 を介して接続ライン 13 上に印加する。尚、電圧 ($-V_{\text{off}}$) は、後述する走査パルス SP におけるパルス電圧値を担う電圧である。つまり、電源 B 5 は、走査パルス SP のパルス電圧値としての電圧 ($-V_{\text{off}}$) を発生する電源なのである。スイッチング素子 S 21 は、駆動制御回路 50 から供給されたスイッチング信号 SW 21 が論理レベル 1 である期間中に限りオン状態となって、電源 B 6 の正端子と行電極 Y とを接続する。すなわち、スイッチング素子 S 21 は、スイッチング信号 SW 21 に応じて、電源 B 6 の正端子の電位を行電極 Y 上に印加するのである。スイッチング素子 S 22 は、駆動制御回路 50 から供給されたスイッチング信号 SW 22 が論理レベル 1 である期間中に限りオン状態となって、電源 B 6 の負端子と行電極 Y とを接続する。すなわち、スイッチング素子 S 22 は、スイッチング信号 SW 22 に応じて、電源 B 6 の負端子に接続されている接続ライン 13 上の電位を行電極 Y 上に印加するのである。尚、電源 B 6 は、後述するアドレス期間内において全ての行電極 $Y_1 \sim Y_n$ 上の電圧を正極性の電圧に固定すべき電圧 V_h を発生する電源である。この際、電圧 V_h は、走査パルス SP におけるパルス電圧の一部を担うものとなる。つまり、電源 B 5 は、走査パルス SP のパルス電圧の一部を担う電圧 V_h を発生する電源なのである。

【0018】

次に、かかる構成による動作について図 7 のタイミングチャートを参照しつつ

説明する。尚、図7においては、図5に示す先頭のサブフィールドSF1内での動作を抜粋して示す図である。図7に示すようにサブフィールドSF1は、リセット期間、アドレス期間及びサステイン期間からなる。

先ず、リセット期間では、駆動制御回路50が、リセットドライバ部RSDにおけるスイッチング素子S17及びS21をオフ状態からオン状態に切り換える。これにより、電源B3、スイッチング素子S17、抵抗R1、電源B6、スイッチング素子S21及び行電極Yなる電流路(図6のCR1にて示す)を介して放電セル内に電流が流れ込む。この際、行電極Y上の電圧はPDP10の負荷容量C0と抵抗R1との時定数により図7に示す如く徐々に上昇する。そして、行電極Y上の電圧が、電源B3と電源B6との直列接続によって生じる電圧($V_s + V_h$)に到達したら、駆動制御回路50は、スイッチング素子S17及びS21をオフ状態に切り換えると共に、スイッチング素子S18及びS22をオフ状態からオン状態に切り換える。これにより、スイッチング素子S22、S18、抵抗R2及びダイオードD7なる電流路(図6のCR2にて示す)が形成され、行電極Y上の電位は図7に示す如く徐々に下降する。以上の如き動作により、図7に示す如きパルス電圧($V_s + V_h$)を有する、立ち上がり及び立ち下がり推移の緩やかなリセットパルスRPyが生成され、これがPDP10の全ての行電極Y₁~Y_nに同時に印加される。この際、リセットパルスRPyの立ち上がり時において、PDP10の全放電セル内において第1リセット放電(書込放電)が生起され、この放電終息後、全ての放電セルの誘電体層には一様に所定量の壁電荷が形成される。そして、リセットパルスRPyの立ち下がり時において、全放電セルにおいて第2リセット放電(消去放電)が生起され、全ての放電セル内から上記壁電荷が消滅する。すなわち、リセットパルスRPyの印加に応じて生起される第1リセット放電及び第2リセット放電により、全ての放電セル内の壁電荷形成状態が初期化されるのである。

【0019】

次に、アドレス期間では、駆動制御回路50が、スキャンドライバ部SCDにおけるスイッチング素子S19~S21をオフ状態からオン状態に切り換える。これにより、行電極Y上の電圧は、図7に示す如く電源B3が発生した正極性の

電圧 V_h に維持される。そして、駆動制御回路 50 は、PDP10 における第 1 ～ 第 n 表示ライン各々に対応したスイッチング素子 S_{21} を順次、所定期間だけオフ状態に切り換えると共に、第 1 ～ 第 n 表示ライン各々に対応したスイッチング素子 S_{22} を順次、所定期間だけオン状態に切り換える。すると、スイッチング素子 S_{21} がオフ状態、 S_{22} がオン状態にある期間だけ行電極 $Y_1 \sim Y_n$ 各々の電位が順次、正極性の電圧 V_h から負の電圧 $-V_{off}$ に推移して走査パルス SP が生成される。この間、アドレスドライバ 2 は映像信号に基づく各画素毎の画素データに対応した画素データパルス DP を 1 表示ライン分 (m 個) ずつ列電極 $D_1 \sim D_m$ に印加する。これにより、上記走査パルス SP と同時に、高電圧の画素データパルス DP が印加された放電セル内において選択的に書込放電が生じ、その放電終息後に壁電荷が形成される。一方、走査パルス SP が印加されたものの高電圧の画素データパルスが印加されなかった放電セル内では上記の如き書込放電は生起されないので、壁電荷の形成はなされない。かかるアドレス期間において、壁電荷が形成された放電セルは点灯セル状態、壁電荷が消滅してしまった放電セルは消灯セル状態に設定される。

【0020】

サステイン期間では、駆動制御回路 50 は、先ず、サステインドライバ部 SUD のスイッチング素子 S_{14} をオフ状態からオン状態に切り換え、所定期間経過後に、サステインドライバ部 SUD のスイッチング素子 S_{15} をオフ状態からオン状態に切り換える。そして、駆動制御回路 50 は、サステインドライバ部 SUD のスイッチング素子 $S_{11} \sim S_{14}$ 各々に対しては図 7 に示す如きスイッチング設定 SSY を断続的に繰り返し実行する。更に、駆動制御回路 50 は、 X 行電極ドライバ 30 のスイッチング素子 $S_1 \sim S_4$ 各々に対しては図 7 に示す如きスイッチング設定 SSX を断続的に繰り返し実行する。

【0021】

すなわち、スイッチング設定 SSX では、先ず、スイッチング素子 $S_1 \sim S_4$ の内の S_1 のみがオン状態となり、コンデンサ C_1 に蓄えられていた電荷に伴う電流がコイル L_1 、ダイオード D_1 、行電極 X を介して放電セルに流れ込む。これにより、行電極 X 上の電圧は図 7 に示す如く徐々に上昇して行く。次に、上記

スイッチング素子 S_1 と共に S_3 がオン状態となり、電源 B_1 による電圧 V_S がそのまま行電極 X に印加される。これにより、行電極 X 上の電圧は電圧 V_S にて固定される。そして、スイッチング素子 $S_1 \sim S_4$ の内の S_2 のみがオン状態となり、行電極 X 及び Y 間の負荷容量 C_0 に蓄えられていた電荷に伴う電流が行電極 X 、コイル L_2 、ダイオード D_2 を介してコンデンサ C_1 に流れ込む。これにより、行電極 X 上の電圧は図 7 に示す如く徐々に下降して行く。以上の如きスイッチング設定 SS_X が断続的に繰り返し実行されることにより、図 7 に示す如き電圧 V_S をパルス電圧値とする維持放電パルス IP_X が生成され、これが繰り返し行電極 X 上に印加される。

【0022】

一方、スイッチング設定 SS_Y では、先ず、スイッチング素子 $S_{11} \sim S_{14}$ 及び $S_{17} \sim S_{22}$ の内の S_{11} のみがオン状態となり、コンデンサ C_2 に蓄積されていた電荷に伴う電流がコイル L_3 、ダイオード D_3 、スイッチング素子 S_{15} 、スイッチング素子 S_{22} 及び行電極 Y を介して放電セルに流れ込む。これにより、行電極 Y 上の電圧は図 7 に示す如く徐々に上昇して行く。次に、上記スイッチング素子 S_{11} と共に S_{13} がオン状態となり、電源 B_3 が発生した電圧 V_S がスイッチング素子 S_{15} 、及びスイッチング素子 S_{22} を介して行電極 Y に印加される。これにより、行電極 Y 上の電圧は図 7 に示す如く電圧 V_S に固定される。そして、スイッチング素子 $S_{11} \sim S_{14}$ の内の S_{12} 、並びにスイッチング素子 $S_{17} \sim S_{22}$ の内の S_{22} のみがオン状態となり、行電極 X 及び Y 間の負荷容量 C_0 に蓄えられていた電荷に伴う電流が行電極 Y 、スイッチング素子 S_{22} 、 S_{15} 、コイル L_4 、ダイオード D_4 を介してコンデンサ C_1 に流れ込む。これにより、行電極 Y 上の電圧は図 7 に示す如く徐々に下降して行く。以上の如きスイッチング設定 SS_Y が断続的に繰り返し実行されることにより、図 7 に示す如き電圧 V_S をパルス電圧値とする維持放電パルス IP_Y が生成され、これが繰り返し行電極 Y に印加される。

【0023】

サステイン期間では、壁電荷が存在する放電セル、つまり点灯セル状態に設定されている放電セルのみが、上記の如き維持放電パルス IP_X 及び IP_Y が印加さ

れる度に放電(維持放電)し、その放電に伴う発光を繰り返す。

以上の如く、図6に示すY行電極ドライバ40においては、リセットパルス R_{Py} を生成する際には、スイッチング素子17及びスイッチング素子21をオン状態にする。これにより、維持放電パルス I_{Py} を生成する為の電源B3と走査パルスSPを生成する為の電源B6とが直列接続になり、両者の電圧の和である電圧($V_s + V_h$)がリセットパルスRPのパルス電圧として生成される。すなわち、リセットパルスを生成する為の専用の電源を設けずとも、比較的高電圧のパルス電圧を有するリセットパルスを生成可能にしたのである。この際、リセットパルスを生成する為の専用電源が不要となるので、維持放電パルス I_{Py} を生成する電源B3に対する電流の逆流も起こらない。よって、リセットパルスを生成する為の専用電源と共に、逆流防止回路も不要となるので回路規模を小規模化することが可能となる。

【0024】

尚、リセットパルス R_{Py} の波形は図7に示す如き波形に限定されるものではなく、又、行電極Y側のみならず行電極X側にもリセットパルスを同時に印加して上記の如き第1リセット放電を生起させるようにしても良い。

図8は、かかる点に鑑みて為された本発明の他の実施例によるX行電極ドライバ30及びY行電極ドライバ40各々の内部構成を示す図である。

【0025】

図8に示されるドライバにおいては、図6に示されるリセットドライバ部RSDに代わりリセットドライバ部 RSD_y を採用し、X行電極ドライバ30内部にリセットドライバ部 RSD_x を付加したものであり、その他の回路構成は図6に示されるものと同一である。

リセットドライバ部 RSD_y における抵抗R11及びR12各々の一方の電極端子は夫々接続ライン13に接続されている。抵抗R12の他方の電極端子はコンデンサC11の一方の電極端子に接続されており、このコンデンサC11の他方の電極端子が上記抵抗R11の他方の電極端子に接続されている。つまり、抵抗R11の両端子に、抵抗R12及びコンデンサC11からなる直列回路が並列に接続されているのである。尚、抵抗R11は抵抗R12よりも高抵抗である。

スイッチング素子 S 1 7 は、スイッチング信号 S W 1 7 が論理レベル 0 である間はオフ状態にある一方、論理レベル 1 である場合にはオン状態となり、上記電源 B 3 の正端子の電圧 V_s を上記コンデンサ C 1 1、抵抗 R 1 1 及び R 1 2 なる回路を介して接続ライン 1 3 上に印加する。スイッチング素子 S 1 8 は、スイッチング信号 S W 1 8 が論理レベル 0 である間はオフ状態にある一方、論理レベル 1 である場合にはオン状態となり、抵抗 R 2 及びダイオード D 7 を介して接続ライン 1 3 を接地する。

【0026】

リセットドライバ部 R S D_Xにおける抵抗 R 4 1 及び R 4 2 各々の一方の電極端子は夫々行電極 X に接続されている。抵抗 R 4 1 の他方の電極端子はコンデンサ C 4 の一方の電極端子に接続されており、このコンデンサ C 4 の他方の電極端子が上記抵抗 R 4 2 の他方の電極端子に接続されている。つまり、抵抗 R 4 2 の両端子に、抵抗 R 4 1 及びコンデンサ C 4 からなる直列回路が並列に接続されているのである。尚、抵抗 R 4 2 は抵抗 R 4 1 よりも高抵抗である。スイッチング素子 S 5 は、スイッチング信号 S W 5 が論理レベル 0 である間はオフ状態にある一方、論理レベル 1 である場合にはオン状態となり、電源 B 7 の負端子の電圧 ($-V_r$) を上記コンデンサ C 4、抵抗 R 4 1 及び R 4 2 なる回路を介して行電極 X 上に印加する。

【0027】

次に、かかる構成による動作について図 9 のタイミングチャートを参照しつつ説明する。

尚、図 9 においては、図 5 に示す先頭のサブフィールド S F 1 内での動作を抜粋して示す図であり、リセット期間を除く他の期間（アドレス期間、サステイン期間）での動作は、図 7 に示されるものと同一である。

【0028】

図 9 に示されるリセット期間では、先ず、駆動制御回路 5 0 は、Y 行電極ドライバ 4 0 のリセットドライバ部 R S D_Yにおけるスイッチング素子 S 1 7 をオン状態、スキヤンドライバ部 S C D のスイッチング素子 S 2 2 をオン状態に設定する。これにより、サステインドライバ部 S U D における電源 B 3 の電圧 V_s が、

コンデンサC11、抵抗R12、接続ライン13及びスイッチング素子S22を介して行電極Yに印加される。この際、行電極Y上の電圧は図9に示す如く、0ボルトから徐々に上昇する。ここで、スイッチング素子S17をオン状態に設定してから所定期間経過後に行電極Y上の電圧が電圧 V_s に到達したら、駆動制御回路50は、スイッチング素子S22をオフ状態、スイッチング素子S21をオン状態に夫々切り換える。これにより、電源B3、スイッチング素子S17、コンデンサC11、抵抗R12、電源B6、スイッチング素子S21及び行電極Yなる電流路CR1が形成され、電源B6の電圧 V_h が上記電圧 V_s に重畳された電圧が行電極Y上に印加される。この際、図9に示す如く、行電極Y上の電圧は電圧 V_s に到達する以前よりも緩やかに上昇する。ここで、行電極Y上の電圧が電圧 $(V_s + V_h)$ に到達したら、駆動制御回路50は、スイッチング素子S17及びS21各々をオフ状態、スイッチング素子S18及びS22を夫々オン状態に切り換える。これにより、スイッチング素子S22、S18、抵抗R2及びダイオードD7なる電流路CR2が形成され、行電極Y上の電圧は図9に示す如く徐々に下降する。

【0029】

以上の如き動作により、0ボルトから徐々にその電圧が上昇し、所定期間経過後にはそれ以前よりも緩やかに電圧が上昇して最大電圧 $(V_s + V_h)$ に到達する、図9に示す如き波形を有するリセットパルス RPy が生成され、これが全行電極 $Y_1 \sim Y_n$ に印加される。

更に、図9に示されるリセット期間において、スイッチング素子S17をオン状態に設定している間、駆動制御回路50は、X行電極ドライバ30のリセットドライバ部 $RS D_x$ におけるスイッチング素子S5をオン状態に設定する。これにより、電源B7の負端子の電圧 $(-V_r)$ がスイッチング素子S5、コンデンサC4、抵抗R41及びR42なる回路を介して行電極X上に印加される。この際、行電極X上の電圧は図9に示す如く0ボルトの状態から徐々に下降する。ここで、行電極X上の電圧が上記電圧 $(-V_r)$ に到達したら、駆動制御回路50は、スイッチング素子S5をオフ状態に切り換える。

【0030】

以上の如き動作により、0 ボルトから徐々にその電圧が下降して最低電圧 ($-V_r$) に到る、図 9 に示す如き波形を有するリセットパルス RP_X が生成され、これが全行電極 $X_1 \sim X_n$ に印加される。

図 9 に示す如き波形を有する正極性のリセットパルス RP_Y 及び負極性のリセットパルス RP_X の同時印加により、全ての放電セル内においてリセット放電が生起される。

【0031】

この際、図 9 に示す如き波形を有するリセットパルス RP_Y の印加によると、そのパルス電圧値が比較的低電圧であっても発光輝度の低い微弱なりセット放電が繰り返し生起されることになる。リセット放電が繰り返し生起されることにより壁電荷の量を必要十分なだけ各放電セル内に蓄積させることが可能となる。よって、図 8 に示す如き構成によれば、リセットパルスを発生するドライバとして、比較的安価な低耐圧ドライバを用いることが可能となる。

【0032】

尚、図 9 に示される実施例においては、リセットパルス RP_Y の立ち下がり波形が緩やかであるが、立ち下がり波形は急峻であっても良い。例えば、スイッチング素子 S_{18} をオン状態に設定する代わりに、スイッチング素子 S_{14} 及び S_{15} を共にオン状態に設定することにより、リセットパルス RP_Y の立ち下がり波形は、最大電圧 ($V_s + V_h$) の状態から急峻に 0 ボルトに推移する波形となる。

【図面の簡単な説明】

【図 1】

プラズマディスプレイ装置の概略構成を示す図である。

【図 2】

図 1 に示されるプラズマディスプレイ装置の X 行電極ドライバ 3 及び Y 行電極ドライバ 4 の内部構成を示す図である。

【図 3】

X 行電極ドライバ 3 及び Y 行電極ドライバ 4 の動作を示すタイムチャートである。

【図 4】

本発明によるプラズマディスプレイ装置の概略構成を示す図である。

【図 5】

サブフィールド法に基づく概略駆動フォーマットを示す図である。

【図 6】

図 4 に示されるプラズマディスプレイ装置の X 行電極ドライバ 30 及び Y 行電極ドライバ 40 の内部構成を示す図である。

【図 7】

X 行電極ドライバ 30 及び Y 行電極ドライバ 40 の動作を示すタイムチャートである。

【図 8】

X 行電極ドライバ 30 及び Y 行電極ドライバ 40 の他の一例を示す図である。

【図 9】

図 8 に示される X 行電極ドライバ 30 及び Y 行電極ドライバ 40 による動作を示すタイムチャートである。

【符号の説明】

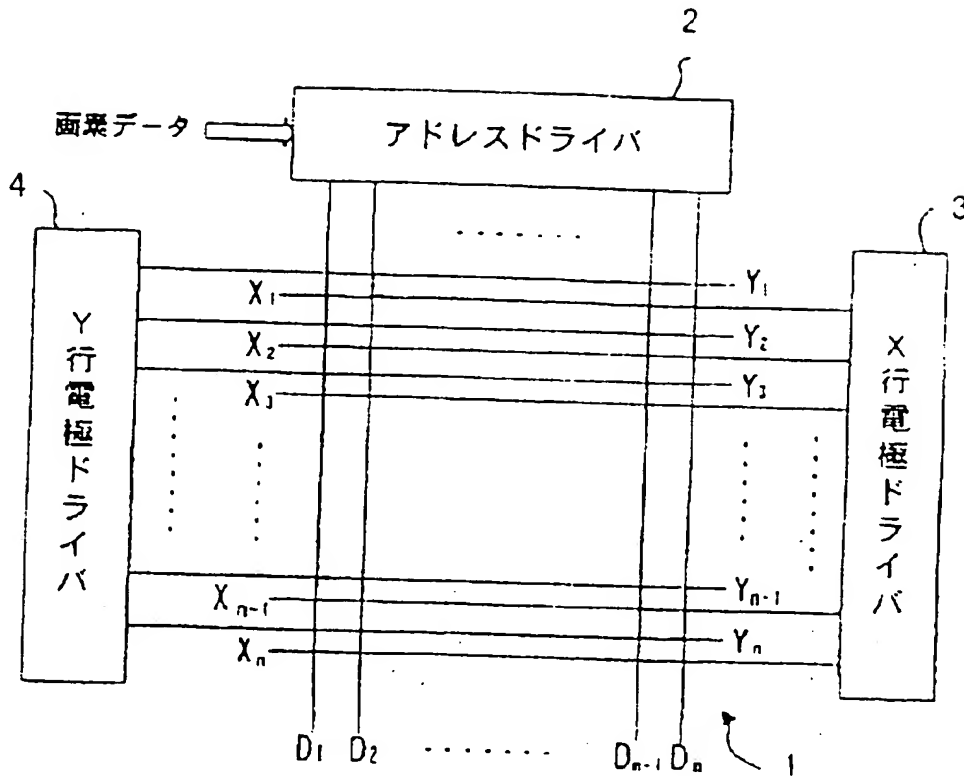
10 PDP

30 X 行電極ドライバ

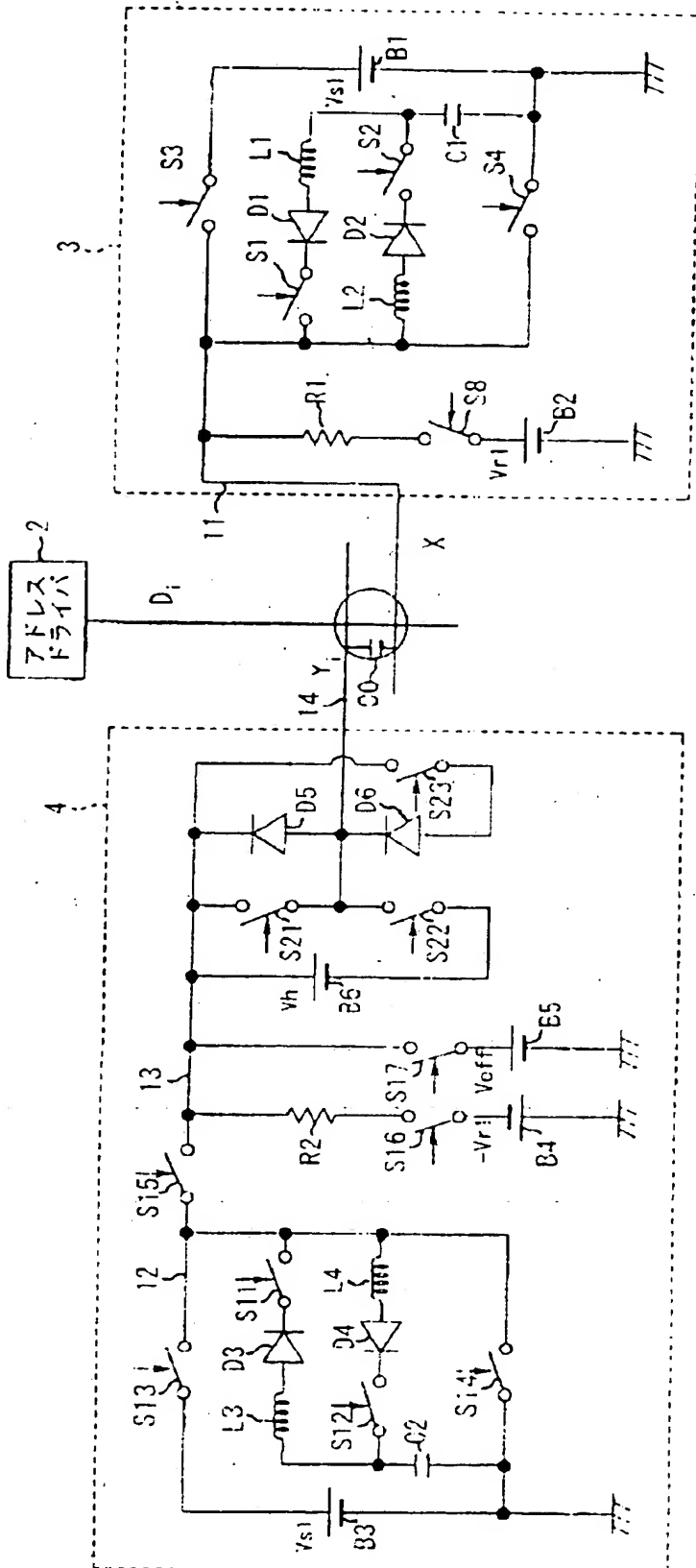
40 Y 行電極ドライバ

【書類名】 図面

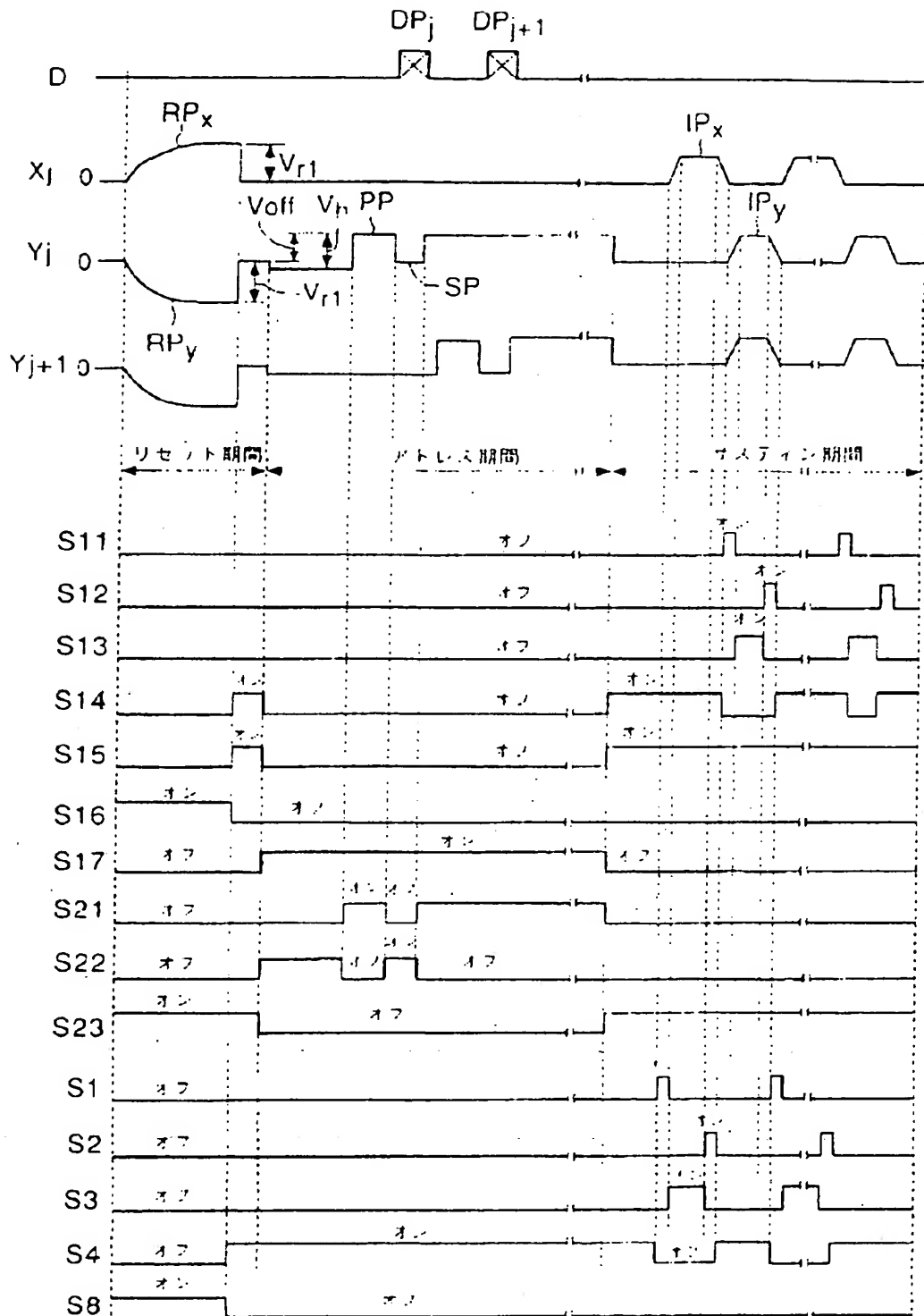
【図 1】



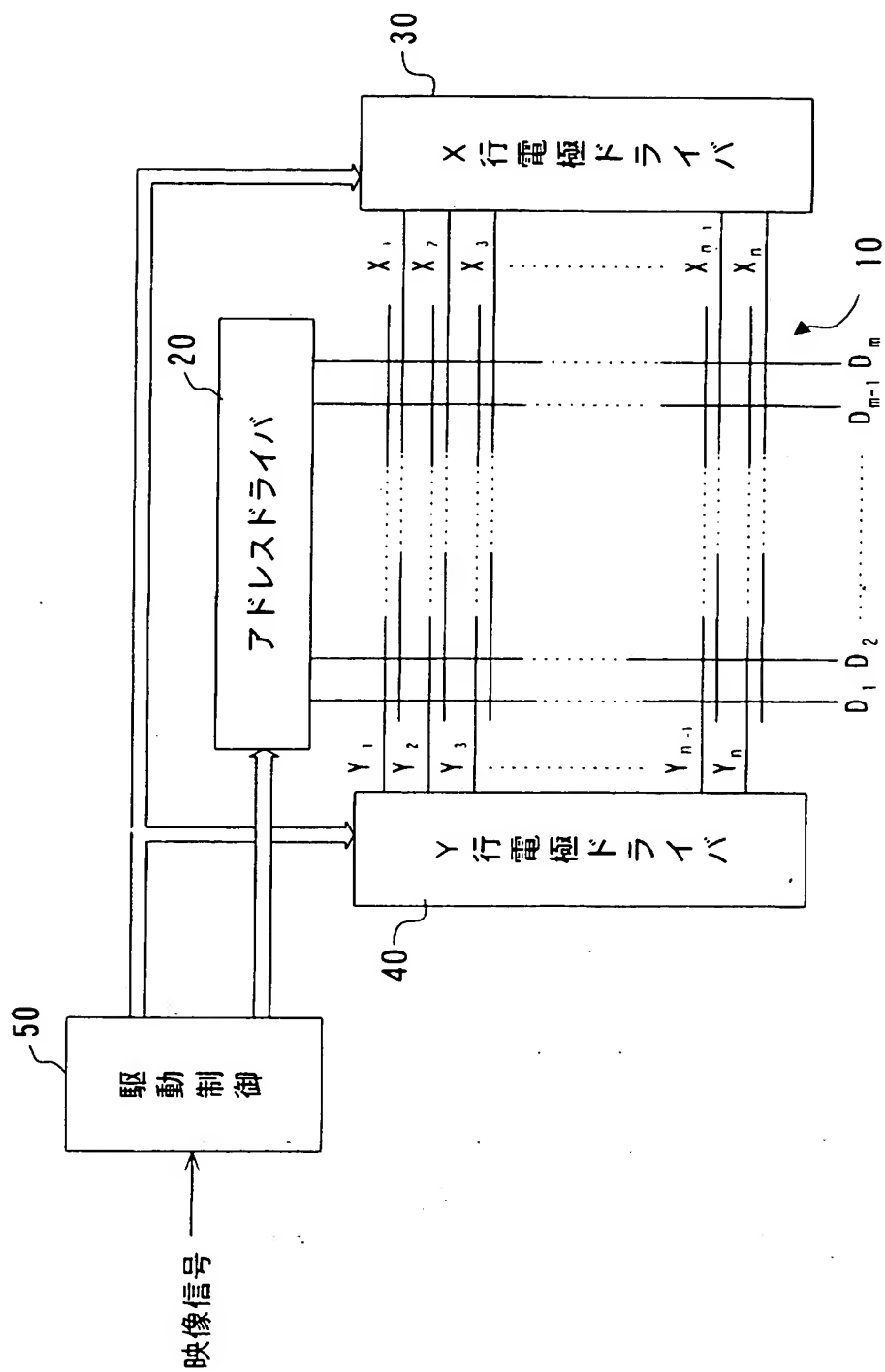
【図 2】



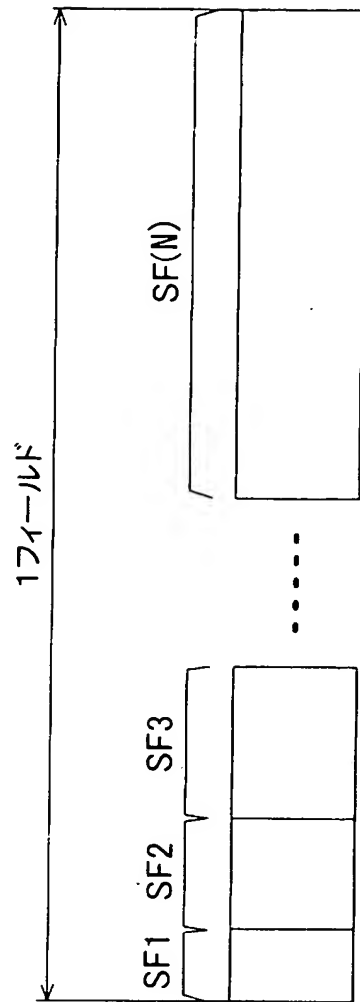
【図 3】



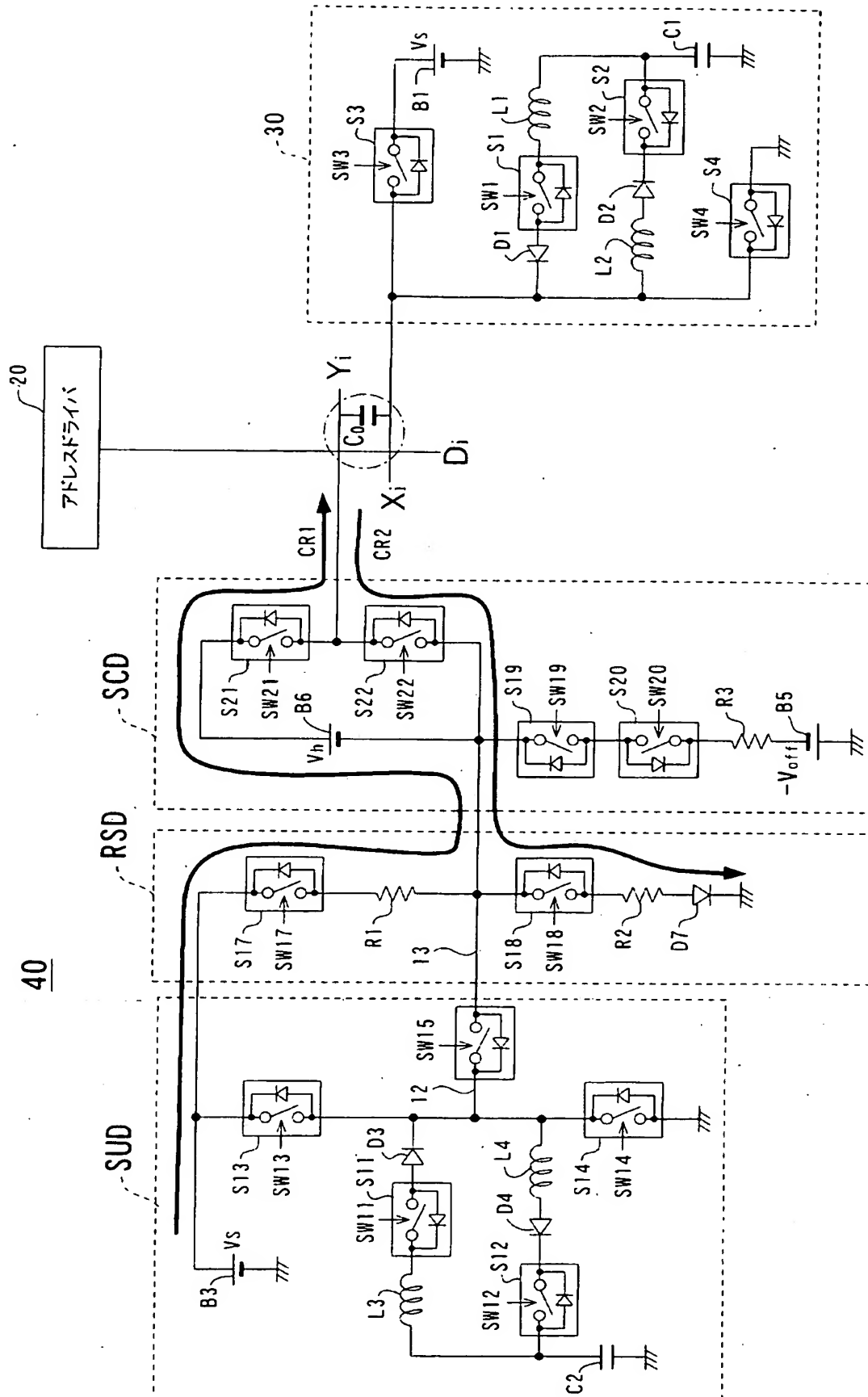
【図 4】



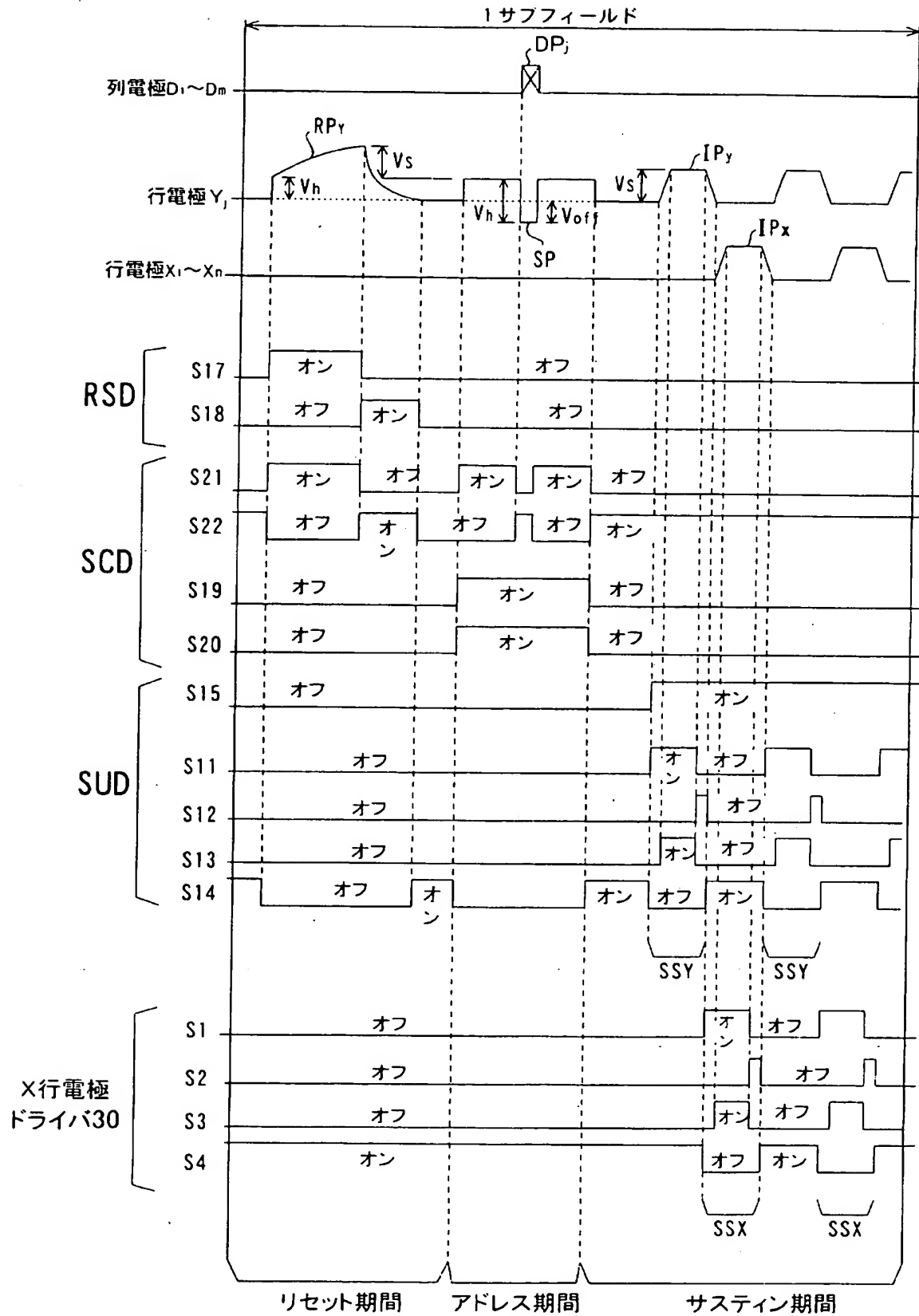
【図 5】



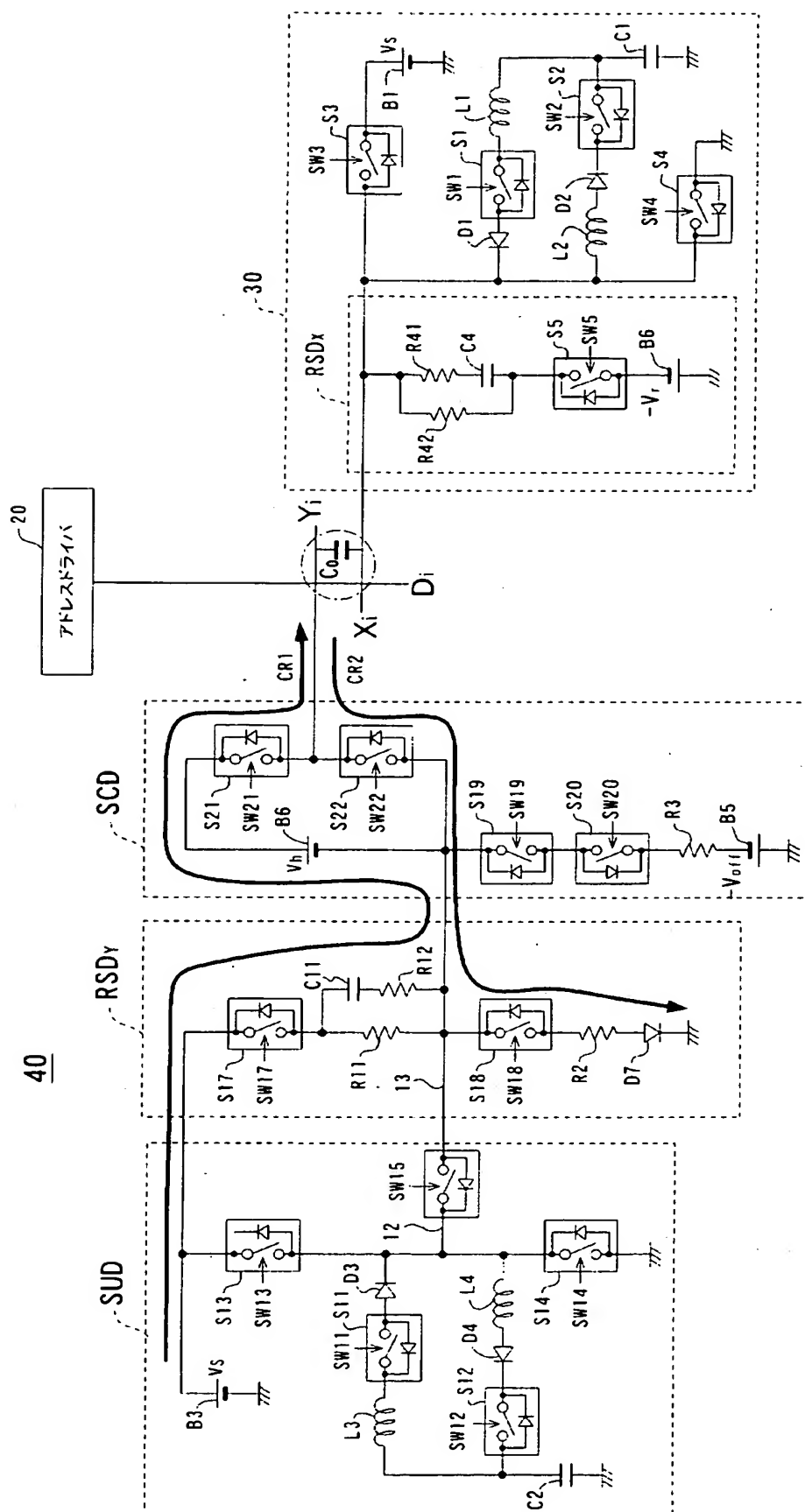
【図 6】



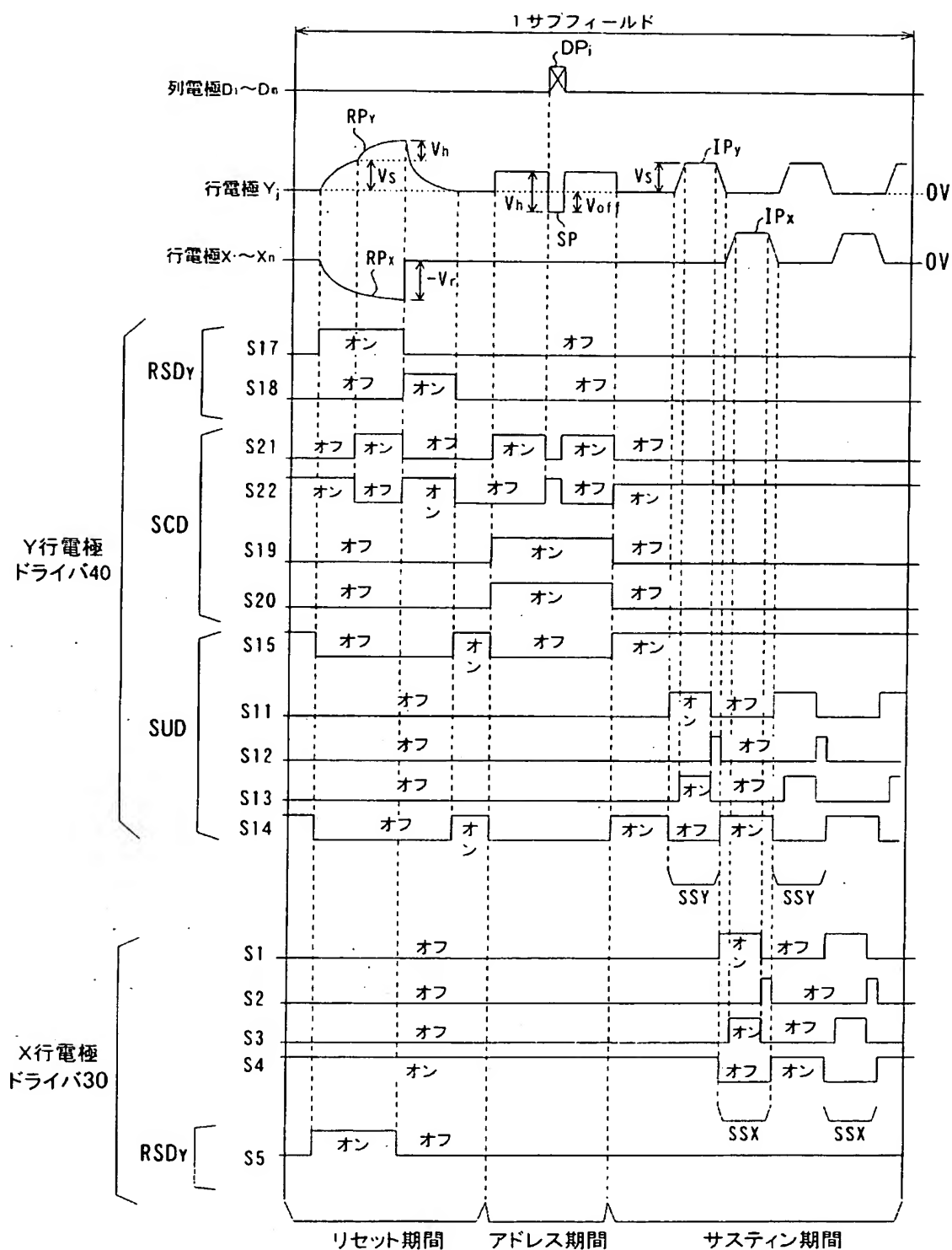
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【目的】 回路規模を小にすることが可能な表示パネルの駆動装置を提供することを目的とする。

【解決手段】 所定の第1電圧を発生する第1電源を備えこの第1電圧に基づいて表示パネルの容量性発光素子各々を点灯状態及び消灯状態のいずれか一方に設定させるべき走査パルスが発生して表示パネルの行電極に印加するスキャンドライバと、所定の第2電圧を発生する第2電源を備えこの第2電圧に基づいて点灯状態に設定された容量性発光素子を発光させるべき維持パルスが発生して表示パネルの行電極に印加するサステインドライバと、上記第1電源にて発生した第1電圧と上記第2電源にて発生した第2電圧とを加算した電圧に基づいて容量性発光素子の状態を初期化すべきリセットパルスが発生して行電極に印加するリセットドライバと、を有する。かかる構成により、リセットパルスが発生する専用の電源を不要にして回路の小規模化を図る。

【選択図】 図6

特願 2003-197005

出 願 人 履 歴 情 報

識別番号

[000005016]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

東京都目黒区目黒1丁目4番1号

氏 名

パイオニア株式会社